

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: September 13, 2002

Application Number: No. 2002-268762
[ST.10/C]: [JP2002-268762]

Applicant(s): FUJITSU LIMITED

January 31, 2003

Commissioner,
Patent Office

Shinichiro Ota (Seal)

Certificate No. 2002-3003333

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月13日

出 願 番 号

Application Number:

特願2002-268762

[ST.10/C]:

[JP2002-268762]

出 願 人

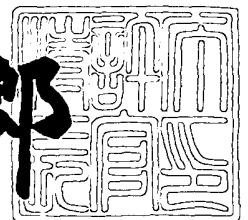
Applicant(s):

富士通株式会社

2003年 1月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3003333

【書類名】 特許願

【整理番号】 0240607

【提出日】 平成14年 9月13日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 7/12

【発明の名称】 半導体記憶装置

【請求項の数】 9

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 瀧田 雅人

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山田 伸一

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 松宮 正人

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 各々が第 1 のビット線と第 2 のビット線を含む複数のビット線対と

、
該第 1 のビット線に接続され容量に電荷を蓄積する複数のメモリセルと、

該第 2 のビット線に接続され所定の電位が書き込まれるダミーセルと、

該第 1 のビット線と該第 2 のビット線の間電位差を増幅するセンスアンプと

、
該ダミーセルに一定の期間だけ該所定の電位を書き込む制御回路
を含むことを特徴とする半導体記憶装置。

【請求項 2】 該一定の期間は該ビット線対に対するアクセスの間隔に関わらず一定であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 ダミーセルに対する該所定の電位の書き込みを指示する指示信号を第 1 の所定の間隔で発生する第 1 のタイマ回路と、

該タイマ回路の発生する該指示信号に応じてアドレスを発生する第 1 のアドレス発生回路

を更に含み、該制御回路は該指示信号に応じて該アドレスに対応するダミーセルに対して該所定の電位を書き込むことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 該ビット線対に対するアクセスがなされていない間に該指示信号が該第 1 のタイマ回路により発生される場合には、該制御回路は該指示信号に応答して直ちに該アドレスに対応するダミーセルに対する該所定の電位の書き込みを実行し、該ビット線対に対するアクセスがなされている間に該指示信号が該第 1 のタイマ回路により発生される場合には、該制御回路は該アクセスが終了してから該アドレスに対応するダミーセルに対する該所定の電位の書き込みを実行することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 メモリセルに対するリフレッシュを指示する指示信号を第 2 の所定の間隔で発生する第 2 のタイマ回路と、

該第 2 のタイマ回路の発生する該指示信号に応じてリフレッシュ対象であるメモリセルのアドレスを発生するアドレス発生回路を更に含むことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】該第 1 のタイマ回路はメモリセルのリフレッシュを指示するリフレッシュ指示信号を第 2 の所定の間隔で発生し、該半導体記憶装置は該第 1 のタイマ回路の発生する該リフレッシュ指示信号に応じてリフレッシュ対象であるメモリセルのアドレスを発生するアドレス発生回路を更に含むことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 7】該制御回路は、該第 1 のタイマ回路が生成する該所定の電位の書き込みを指示する該指示信号に応じて、該アドレスのメモリセルをリフレッシュすると共に該アドレスに対応するダミーセルに該所定の電位の書き込みを実行することを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 8】該複数のビット線対は複数のブロックに分割され、該アドレス発生回路は 1 つのブロック内における全てのワードアドレスを順次生成し終えてから次のブロックに移るようにアドレス生成することを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】該複数のビット線対は複数のブロックに分割され、該アドレス発生回路は 1 つのワードアドレスについて全てのブロックに対応するアドレスを順次生成し終えてから次のワードアドレスに移るようにアドレス生成することを特徴とする請求項 7 記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、詳しくはダミーセル方式の半導体記憶装置に関する。

【従来の技術】

D R A M (Dynamic Random Access Memory) においては、通常、ビット線対を電源電位と接地電位の間電位にプリチャージしておき、その後データを一方のビット線に読み出して、一对のビット線間に生じる電位差をセンスアンプにより

増幅してデータを読み出す。しかし近年、電源電圧の低電圧化が進むにつれ、電源電位と接地電位の間電位を安定に発生させることが困難となり、ビット線のプリチャージ電位を接地電位や電源電位とする技術が知られている。その場合にデータを読み出す方法として、ダミーセル方式がある。

【 0 0 0 2 】

図 1 は、ダミーセル方式のメモリセル周辺の構成を示す図である。

【 0 0 0 3 】

図 1 の構成において、センスアンプ 1 1 には一対のビット線 B L 及び / B L が接続され、センスアンプ 1 1 の増幅機能によりビット線 B L 及び / B L に現れる電位差を増幅して保持する。ビット線 B L 及び / B L のそれぞれには、複数のメモリセルが接続されており、各メモリセルはワード線電位により駆動されるトランジスタ 1 2 とデータを電荷量として記憶するメモリセル容量 1 3 を含む。ワード線 w 1 0 0 乃至 w 1 (n) は各ワードアドレスに対応する。またビット線 B L 及び / B L のそれぞれには、1 つずつダミーセルが接続されている。ダミーセルは、ダミーワード線により駆動されるトランジスタ 1 4 と、データを電荷量として記憶するダミーセル容量 1 5 と、ダミーセル容量 1 5 をプリチャージするトランジスタ 1 6 を含む。トランジスタ 1 6 がダミーセルプリチャージ線 d c p により導通されると、電位 v d c がダミーセル容量 1 5 に供給される。

【 0 0 0 4 】

図 2 は、ダミーセル方式によるデータ読み出しを説明する図である。

【 0 0 0 5 】

ビット線 b 1 (ビット線 B L 及び / B L を纏めて示している) は、例えば電源電位にプリチャージされている。まず t 1 のタイミングでダミーセルプリチャージ線 d c p を H I G H にしてダミーセル容量 1 5 を電位 v d c から切り離し、ダミーセルのデータ記憶ノードのプリチャージを終了する。次に t 2 のタイミングでダミーワード線 d w 1 を活性化 (L O W に変化) させることで、ダミーセル容量 1 5 の電位に応じて一方のビット線の電位を変化させる。 t 3 のタイミングでワード線 w 1 を活性化 (L O W に変化) させて、メモリセル容量 1 3 の電位に応じてもう一方のビット線の電位を変化させる。タイミング t 2 と t 3 の前後関係

は、逆転しても構わないし同時でも良い。センスアンプ 1 1 により、このビット線間の微小な差電位を増幅して読み出しを行う。

【 0 0 0 6 】

ビット線は電源電位にプリチャージされているので、HIGH データが読み出される場合には、データが読み出されるビット線には電位変化は生じない。このような場合でもデータ読み出しを可能とするために、ダミーセルによりもう一方のビット線の電位を若干ドロップさせ、この差電位を増幅することでデータ読み出しを行う。従って、ダミーセルによるビット線の電位ドロップ量は、HIGH データ読み出しの場合に電源電位との差が充分であり、且つ LOW データ読み出しの場合に LOW データによる他方のビット線の電位ドロップより充分小さい必要がある。ダミーセル容量はメモリセル容量より小さく設定されており、メモリセルとダミーセル双方に同一電位のデータが書き込まれていた場合でも、差電圧を得ることができる。

【 0 0 0 7 】

DRAM においては、メモリセル容量に記憶されたデータは時間と共に減衰していくので、記憶データを保持するためには随時再書き込み動作（リフレッシュ動作）を実行する必要がある。ダミーセルについては、 t_4 のタイミングでダミーワード線 $d w 1$ を非活性化しダミーセルをビット線から切り離し、その後 t_5 のタイミングでダミーセルプリチャージ線 $d c p$ を活性化（LOW に変化）させることで、設定電位 $v d c$ の書き込みを実行する。これをダミーセルのプリチャージと呼ぶ。

【 0 0 0 8 】

【特許文献 1】

特開平 5 - 2 8 7 6 2

【特許文献 2】

特開平 1 1 - 2 3 8 3 8 7

【 0 0 0 9 】

【発明が解決しようとする課題】

従来、ダミーセルのプリチャージについては、該当セルブロックにアクセスが

されない期間中、常時トランジスタ 16 を活性化させて、データ記憶ノードに対する設定電位の書き込みを行っていた。これは、ダミーセル容量が小さく蓄積電荷の減衰する速度が早いので、アクセスがない期間は常に設定電位を印加しておくことが好ましいと考えられたためである。

【0 0 1 0】

しかしビット線に対するアクセス間隔が短くなるにつれて、ダミーセルのプリチャージ時間が短くなり、ダミーセルを完全に設定電位に設定することが困難になる。その逆にアクセス間隔が十分に長い場合には、十分なプリチャージ時間がとれるので、ダミーセルのデータ記憶ノードを略設定電位に設定することが出来る。このように、ビット線に対するアクセスの間隔によってダミーセルの実際の電位が異なってしまう結果となる。そのために、アクセス間隔の違いにより読み出し動作時の基準電位が変化してしまい、読み出しマージンが低下するという問題が生じる。

【0 0 1 1】

以上を鑑みて、本発明は、ダミーセル方式の半導体記憶装置において、アクセス間隔に関わらず安定した読み出し動作を可能とすることを目的とする。

【課題を解決するための手段】

本発明による半導体記憶装置は、各々が第 1 のビット線と第 2 のビット線を含む複数のビット線対と、該第 1 のビット線に接続され容量に電荷を蓄積する複数のメモリセルと、該第 2 のビット線に接続され所定の電位が書き込まれるダミーセルと、該第 1 のビット線と該第 2 のビット線の間の電位差を増幅するセンスアンプと、該ダミーセルに一定の期間だけ該所定の電位を書き込む制御回路を含むことを特徴とする。

【0 0 1 2】

上記半導体記憶装置においては、ダミーセルのプリチャージを所定時間で終了するようにしたので、アクセス間隔の長短によって、ダミーセルのプリチャージ実行時間が変化することはない。従って、アクセス間隔に関わらず安定した読み出し動作を実現することが出来る。

【発明の実施の形態】

以下に、本発明の原理及び実施例を添付の図面を用いて詳細に説明する。

【0013】

図3は、本発明によるダミーセルのプリチャージの原理について説明するための図である。

【0014】

図2の従来の読み出し動作のタイミングチャートにおいては、アクセス動作が開始されダミーワード線dwlが活性化されるt2のタイミングの直前のタイミングt1まで、ダミーセルプリチャージ線dcpが活性化されており、ダミーセルのプリチャージが行われている。またダミーワード線dwlが非活性化されるt4のタイミングの直後のタイミングt5に、ダミーセルプリチャージ線dcpが活性化されダミーセルのプリチャージが開始される。その後、次のアクセスが実行されるまでダミーセルのプリチャージは継続される。

【0015】

それに対して図3の本発明によるダミープリチャージ動作においては、ダミーセルのプリチャージを開始した後、所定の時間が経過したタイミングt7の時点で、ダミーセルプリチャージ線dcpを非活性化してダミーセルのプリチャージを終了する。このように本発明では、ダミーセルのプリチャージを所定時間で終了するようにしたので、アクセス間隔の長短によって、ダミーセルのプリチャージ実行時間が変化することはない。なお図3の動作タイミングは、読み出し動作の場合及びメモリセルのプリチャージ動作の場合とで同一である。

【0016】

なお本発明においては、図3に示すようにダミーセルのプリチャージをメモリセルのプリチャージと一緒に行っても、或いはダミーセルのプリチャージとメモリセルのプリチャージとを別個に行っても良い。

【0017】

図4は、本発明による半導体記憶装置の第1の実施例を示す図である。

【0018】

図4の半導体記憶装置20は、コマンドラッチ回路21、タイミング制御回路22、メモリコア制御回路23、アドレスラッチ回路24、アドレス制御回路2

5、アドレス選択回路26、Xデコーダ27、Yデコーダ28、メモリセルアレイ29、I/O制御回路30、メモリセルリフレッシュタイマ31、ダミーセルリフレッシュタイマ32、メモリセルアドレスカウンタ33、及びダミーセルアドレスカウンタ34を含む。

【0019】

コマンドラッチ回路21は、外部からコマンドを受け取りラッチする。コマンドラッチ回路21は更に、ラッチしたコマンドをデコードして、デコード結果に基づいてタイミング制御回路22及びアドレス制御回路25を制御する。タイミング制御回路22は、コマンドラッチ回路21の制御の下で、種々のタイミング信号を生成しメモリコア制御回路23に供給する。メモリコア制御回路23は、受け取ったタイミング信号に基づいて、Xデコーダ27、Yデコーダ28、メモリセルアレイ29、I/O制御回路30等を制御する。

【0020】

アドレスラッチ回路24は、外部からアドレスを受け取りラッチし、アドレス選択回路26に供給する。アドレス制御回路25は、コマンドラッチ回路21の制御の下に、アドレス選択回路26を制御する。アドレス選択回路26は、アドレスラッチ回路24からの外部アドレス、メモリセルアドレスカウンタ33からのメモリセルリフレッシュアドレス、及びダミーセルアドレスカウンタ34からのダミーセルリフレッシュアドレスのうちの何れかを選択し、Xデコーダ27及びYデコーダ28に供給する。

【0021】

Xデコーダ27は、アドレス選択回路26から供給されるXアドレス（ローアドレス）をデコードして、指定されるワード線を選択活性化する。Yデコーダ28は、アドレス選択回路26から供給されるYアドレス（コラムアドレス）をデコードして、指定されるコラム選択線を選択活性化する。これにより、メモリセルアレイ29の指定されたワード及びコラムのメモリセルに対してアクセスが実行される。

【0022】

I/O制御回路30は、メモリセルアレイ29から読み出されたデータを外部

に供給すると共に、外部から供給される書き込みデータをメモリセルアレイ 2 9 に供給する。

【 0 0 2 3 】

メモリセルリフレッシュタイマ 3 1 は、メモリセルのリフレッシュタイミングを決定するためのものであり、所定の時間間隔を計時することにより所定間隔でメモリセルのリフレッシュを指示する。メモリセルアドレスカウンタ 3 3 は、メモリセルリフレッシュタイマ 3 1 からのリフレッシュ指示に応じて、リフレッシュアドレスを生成してアドレス選択回路 2 6 に供給する。

【 0 0 2 4 】

ダミーセルリフレッシュタイマ 3 2 は、ダミーセルのリフレッシュタイミングを決定するためのものであり、所定の時間間隔を計時することにより所定間隔でダミーセルのリフレッシュを指示する。ダミーセルアドレスカウンタ 3 4 は、ダミーセルリフレッシュタイマ 3 2 からのリフレッシュ指示に応じて、リフレッシュアドレスを生成してアドレス選択回路 2 6 に供給する。

【 0 0 2 5 】

ダミーセルリフレッシュタイマ 3 2 は、ダミーセルの特性と書き込み電荷量（書き込み電位）とから、安定した動作に要求される再書き込み周期を計時するタイマー回路である。図 5 に、ダミーセルリフレッシュタイマ 3 2 の一般的な構成を示す。

【 0 0 2 6 】

図 5 のダミーセルリフレッシュタイマ 3 2 は、複数のインバータ 4 1 と複数のカウンタ回路 4 2 とを含む。複数のインバータ 4 1 は直列に接続され更に終端と始端とを繋げることでリングオシレータを構成する。このリングオシレータが所定の周波数で発振し、発振信号を複数のカウンタ回路 4 2 で分周する。1つのカウンタ回路 4 2 で $1/2$ 分周が実現され、カウンタ回路 4 2 の個数を調整することで、ダミーセルリフレッシュタイマ 3 2 の周期を制御することが出来る。或いはリングオシレータの発振周波数を、インバータ 4 1 の個数を調整して制御しても良い。

【 0 0 2 7 】

容量やその他の特性がメモリセルとダミーセルとは異なるので、メモリセルに対してデータ保持のために要求されるリフレッシュ間隔と、ダミーセルに対して設定電位保持のために要求されるリフレッシュ間隔とは互いに異なる。従って、メモリセルリフレッシュタイマ 3 1 とメモリセルアドレスカウンタ 3 3 とでは、夫々異なった間隔でリフレッシュ周期を指示することがよい。

【 0 0 2 8 】

ダミーセルリフレッシュタイマ 3 2 の出力である信号 E N は、コマンドラッチ回路 2 1 及びダミーセルアドレスカウンタ 3 4 に供給される。コマンドラッチ回路 2 1 は信号 E N を受け付けると、アドレス制御回路 2 5 を介してアドレス選択回路 2 6 を制御し、アドレス選択回路 2 6 にダミーセルアドレスカウンタ 3 4 からのダミーセルリフレッシュアドレスを選択させる。ダミーセルアドレスカウンタ 3 4 がダミーセルリフレッシュアドレスをインクリメントしていくことで、ダミーセルのリフレッシュが順次指定されたアドレスに対して実行される。

【 0 0 2 9 】

コマンドラッチ回路 2 1 は、ダミーセルリフレッシュタイマ 3 2 からの信号 E N の入力部において、半導体記憶装置がアクセス状態である場合には信号 E N を受け付けなくする必要がある。図 6 は、アクセス状態に応じて信号 E N を受け付けなくする回路の一例を示す図である。

【 0 0 3 0 】

図 6 の回路は、インバータ 5 1 及び 5 2、及び N A N D 回路 5 3 乃至 5 7 を含む。N A N D 回路 5 3 及び 5 4 で第 1 のラッチを構成し、N A N D 回路 5 6 及び 5 7 で第 2 のラッチを構成する。N A N D 回路 5 5 が、信号 E N を受け付けるかを制御する回路部分であり、一方の入力に第 1 のラッチを介して信号 E N を、他方の入力にメモリのアクセス状況を示す信号 A C を入力する。信号 A C は、アクセス時に L O W になる信号である。

【 0 0 3 1 】

第 1 のラッチは、要求信号 E N を一時的に保持しておく機能を有する。

【 0 0 3 2 】

信号 E N がアサートされた時に、メモリがアクセス状態である場合には、ダミ

ーセルのプリチャージ開始をアクセス終了まで待つ必要がある。アクセス状態である場合には信号ACがLOWとなっているので、信号ENはNAND回路55を通過することはない。このとき第1のラッチにより信号ENの状態を保持しておく。

【0033】

メモリへのアクセスが終了すると、NAND回路55の入力信号ACがHIGHへと遷移し、信号ENがNAND回路を介して第2のラッチにラッチされ、更にインバータ52を介して出力される。これにより、コマンドラッチ回路21がダミーセルのプリチャージ指示を受け付けることになる。なお信号PREは、アクセス動作終了時に一時的にLOWとなることで、第2のラッチをリセットする信号である。

【0034】

図7は、本発明による半導体記憶装置の第2の実施例を示す図である。図7において、図4と同一の構成要素は同一の符号で参照し、その説明は省略する。

【0035】

図7の半導体記憶装置20Aは、図4に示される第1の実施例の半導体記憶装置20におけるメモリセルリフレッシュタイマ31及びダミーセルリフレッシュタイマ32を共通化して、リフレッシュタイマ35としたものである。図8は、リフレッシュタイマ35の一例を示す図である。

【0036】

図8のリフレッシュタイマ35は、複数のインバータ51、ダミーセル用カウンタユニット53、及びメモリセル用カウンタユニット54を含む。ダミーセル用カウンタユニット53及びメモリセル用カウンタユニット54は、それぞれ複数のカウンタ回路52を含む。複数のインバータ51は直列に接続され更に終端と始端とを繋げることでリングオシレータを構成する。このリングオシレータが所定の周波数で発振し、発振信号をダミーセル用カウンタユニット53及びメモリセル用カウンタユニット54で分周する。1つのカウンタ回路52で1/2分周が実現され、カウンタ回路52の個数を調整することで、メモリセルリフレッシュ周期とダミーセルリフレッシュ周期とを制御することが出来る。具体的には

、ダミーセルのリフレッシュ指示信号 E N の発生間隔を、メモリセルのリフレッシュ指示信号の発生間隔より短くするために、ダミーセル用カウンタユニット 5 3 のカウンタ回路 5 2 の個数を $n - i$ とし、メモリセル用カウンタユニット 5 4 のカウンタ回路 5 2 の個数を n としてある。

【 0 0 3 7 】

この第 2 の実施例の構成では、タイマー回路を共有化することにより、チップ面積を縮小し、製造コストを削減することが出来る。

【 0 0 3 8 】

図 9 は、本発明による半導体記憶装置の第 3 の実施例を示す図である。図 9 において、図 4 と同一の構成要素は同一の符号で参照し、その説明は省略する。

【 0 0 3 9 】

図 9 の半導体記憶装置 2 0 B は、図 4 に示される第 1 の実施例の半導体記憶装置 2 0 におけるメモリセルリフレッシュタイマ 3 1 及びダミーセルリフレッシュタイマ 3 2 を共通化してリフレッシュタイマ 3 6 とし、更にメモリセルアドレスカウンタ 3 3 及びダミーセルアドレスカウンタ 3 4 を共通化してアドレスカウンタ 3 7 としたものである。

【 0 0 4 0 】

このように第 3 の実施例では、リフレッシュ周期を計測するタイマー回路とアドレスカウンタ回路とを、ダミーセル用とメモリセル用とで共通化する。このような構成にして、共通化されたアドレスカウンタ 3 7 が指示するアドレスに対してメモリセルのリフレッシュ動作を実行すると同時に、対応するダミーセルのリフレッシュ動作を実行する。即ち、図 3 に示される動作タイミングのように、メモリセルに対するリフレッシュ動作が実行されると、これと同一の動作サイクルにおいてダミーセルに対するリフレッシュ動作を実行する。

【 0 0 4 1 】

図 1 0 は、アドレスカウンタ 3 7 の回路構成の一例を示す図である。

【 0 0 4 2 】

図 1 0 のアドレスカウンタ 3 7 は、複数のカウンタ回路 6 1 をカスケード接続し、先頭のカウンタ回路 6 1 の入力にリフレッシュタイマ 3 6 からの指示信号 E

Nを入力し、各カウンタ回路61の出力をリフレッシュアドレスとして並列に取り出すものである。指示信号ENが入力される度に、並列出力であるリフレッシュアドレスが1つずつカウントアップされていく。この構成では、下位(1+1)ビットをワード線選択アドレスとし、上位(j-1)ビットをブロック選択アドレスとしてある。即ちこの構成では、ワード線を一本ずつ順番にリフレッシュしていき、1つのブロックの全てのワードアドレスについてリフレッシュ終了すると、次のブロックに移動してワード線を一本ずつ順番にリフレッシュしていく。

【0043】

図11は、アドレスカウンタ37の回路構成の別の一例を示す図である。

【0044】

図11のアドレスカウンタ37は、図10の構成と同様に複数のカウンタ回路61をカスケード接続し、各カウンタ回路61の出力をリフレッシュアドレスとして並列に取り出すものである。但しこの構成では、下位(j-1)ビットをワード線選択アドレスとし、上位(1+1)ビットをブロック選択アドレスとしてある。即ちこの構成では、あるブロックについてあるワードアドレスをリフレッシュすると、次のブロックに移り同一のワードアドレスをリフレッシュし、これを繰り返して全てのブロックについて当該ワードアドレスのリフレッシュを終了すると、最初のブロックに戻り最初のブロックから最後のブロックまで次のワードアドレスをリフレッシュし、この動作を繰り返す。

【0045】

なおここで言うブロックとは、センスアンプ(センスアンプブロック)毎の纏まりを意味する。

【0046】

図12は、メモリセルアレイのブロック構造を示す図である。

【0047】

図12の例においては、半導体記憶装置全体はブロック1乃至ブロックnのn個のブロックより構成される。各ブロックは、センスアンプ(センスアンプブロック)71、ダミーセル72、メモリセル73、ワードデコーダ(Xデコーダ)

74、ワード線WL1乃至WL(i)、及びビット線BLを含む。図では簡略化して、ビット線BL、ダミーセル72、メモリセル73は1つずつしか示していないが、実際には複数のビット線が設けられ、各ビット線に対して1つのダミーセル72と複数のメモリセル73が接続される。図12に示されるように、1つのブロックは1つのセンスアンプ71に対応する。センスアンプ71から延展する各ビット線には1つのダミーセル72が接続されているので、あるワードアドレスについて一回リフレッシュ動作をする度に、ダミーセル72が一回リフレッシュされることになる。

【0048】

図10のようにワード線選択アドレスが先にカウントアップする構成の場合には、選択されたブロックに存在するi本のワード線を順次活性化しリフレッシュした後に、次のブロックに移動する。従って、同一ダミーセルのリフレッシュをi回繰り返した後に、次のダミーセル（次のブロックのダミーセル）のリフレッシュを開始することになる。即ち、メモリセルをi回リフレッシュする度に、新規ダミーセルをリフレッシュすることになる。

【0049】

また図11のようにブロック選択アドレスが先にカウントアップする構成の場合には、第1のブロックにおいて選択アドレスのワード線を活性化しリフレッシュした後、第2のブロックにおいて同一選択アドレスのワード線を活性化し、全ブロックについて当該選択アドレスのワード線の活性化が完了した後、第1のブロックに戻って次の選択アドレスのワード線を活性化する。従って、メモリセルを一回リフレッシュする度に、新規ダミーセルをリフレッシュすることになる。

【0050】

以上から分かるように、本発明においては、図11のようにブロック選択アドレスが先にカウントアップする構成とした方が、同一のダミーセルをリフレッシュする間隔が短くなり好ましい。即ちこの構成の場合、ブロック数がnとすると、メモリセルのリフレッシュをn回実行するために要する時間が、同一のダミーセルをリフレッシュする間隔と略等しい。図10のようにワード線選択アドレスが先にカウントアップする構成とした場合には、ブロック数がnで各ブロックの

ワード線が i とすると、メモリセルのリフレッシュを $(n-1) \times i$ 回実行するために要する時間が、同一のダミーセルをリフレッシュする間隔と略等しくなる。

【0051】

図13は、ワード線、ダミーワード線、ダミーセルプリチャージ線、及びセンスアンプを制御する信号を生成する回路である。図13の回路は、例えば図9の構成においてメモリアコ制御回路23に設けられる。

【0052】

図13の回路は、パルス発生回路81、遅延回路82乃至84、パルス発生回路85、遅延回路86乃至88、及びフリップフロップ89乃至93を含む。図14は、図13の回路の動作を説明するための信号タイミング図である。

【0053】

図14に示される信号 $\phi 0$ は、例えば図9のタイミング制御回路22により生成される。この信号 $\phi 0$ の立ち上がりに対応して、パルス発生回路81がパルス信号 $\phi 1$ を生成する。このパルス信号 $\phi 1$ が遅延回路82乃至84により順次遅延されて、パルス信号 $\phi 2$ 乃至 $\phi 4$ が生成される。また信号 $\phi 0$ の立ち下がりに対応して、パルス発生回路85がパルス信号 $\phi 5$ を生成する。このパルス信号 $\phi 5$ が遅延回路86乃至88により順次遅延されて、パルス信号 $\phi 6$ 乃至 $\phi 8$ が生成される。

【0054】

フリップフロップ89乃至93は、パルス信号 $\phi 1$ 乃至 $\phi 8$ のうちの所定のパルスでセットされ、別の所定のパルスでリセットされる。これにより、フリップフロップ89乃至93はそれぞれ、ビット線プリチャージ制御タイミング信号 t_bus (HIGH期間中プリチャージ解除)、ワード線制御タイミング信号 t_wl (HIGH期間中ワード線を活性化)、ダミーワード線制御タイミング信号 t_dwl (HIGH期間中ダミーワード線を活性化)、ダミーセルプリチャージ制御タイミング信号 t_dcp (HIGH期間中ダミーセルをプリチャージ)、及びセンスアンプ制御タイミング信号 t_le (HIGH期間中センスアンプを活性化) を生成する。これらの信号に基づいて、図3に示す動作タイミング

と同様に、メモリセルプリチャージ動作（或いは読み出し動作）とダミーセルプリチャージ動作とを実行することが可能となる。このようにして本発明においては、ダミーセルのプリチャージが所定時間で終了するように制御することで、アクセス間隔の長短に関わらずダミーセルのプリチャージ実行時間を固定として、安定した読み出し動作を実現することが出来る。

【 0 0 5 5 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明による半導体記憶装置は、ダミーセルに一定の期間だけ所定の電位を書き込むよう構成される。この構成においては、アクセス間隔の長短によって、ダミーセルのプリチャージ実行時間が変化することはない。従って、アクセス間隔に関わらず安定した読み出し動作を実現することが出来る。

【図面の簡単な説明】

【図 1】

ダミーセル方式のメモリセル周辺の構成を示す図である。

【図 2】

ダミーセル方式によるデータ読み出しを説明する図である。

【図 3】

本発明によるダミーセルのプリチャージの原理について説明するための図である。

【図 4】

本発明による半導体記憶装置の第 1 の実施例を示す図である。

【図 5】

ダミーセルリフレッシュタイマの一般的な構成を示す図である。

【図 6】

アクセス状態に応じて信号 E N を受け付けなくする回路の一例を示す図である。

【図 7】

本発明による半導体記憶装置の第 2 の実施例を示す図である。

【図 8】

リフレッシュタイマの一例を示す図である。

【図 9】

本発明による半導体記憶装置の第 3 の実施例を示す図である。

【図 1 0】

アドレスカウンタの回路構成の一例を示す図である。

【図 1 1】

アドレスカウンタの回路構成の別の一例を示す図である。

【図 1 2】

メモリセルアレイのブロック構造を示す図である。

【図 1 3】

ワード線、ダミーワード線、ダミーセルプリチャージ線、及びセンスアンプを制御する信号を生成する回路を示す図である。

【図 1 4】

図 1 3 の回路の動作を説明するための信号タイミング図である。

【符号の説明】

- 2 1 コマンドラッチ回路
- 2 2 タイミング制御回路
- 2 3 メモリコア制御回路
- 2 4 アドレスラッチ回路
- 2 5 アドレス制御回路
- 2 6 アドレス選択回路
- 2 7 Xデコーダ
- 2 8 Yデコーダ
- 2 9 メモリセルアレイ
- 3 0 I/O制御回路
- 3 1 メモリセルリフレッシュタイマ
- 3 2 ダミーセルリフレッシュタイマ

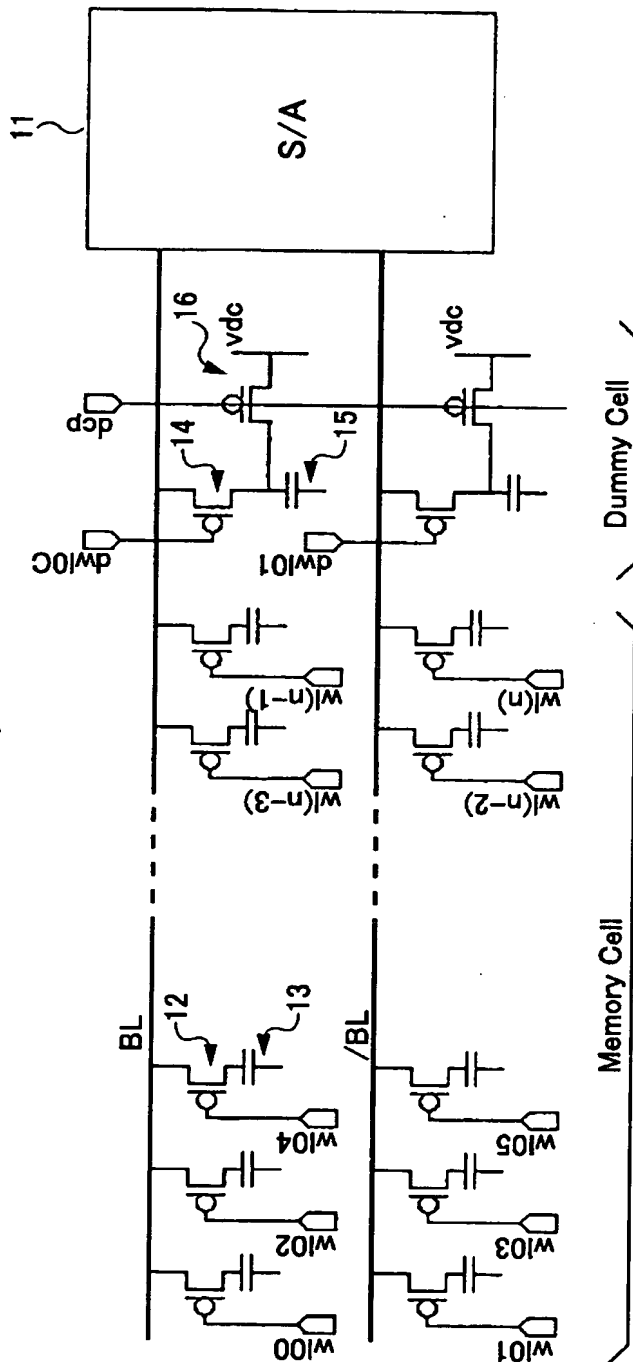
3 3 メモリセルアドレスカウンタ

3 4 ダミーセルアドレスカウンタ

【書類名】 図面

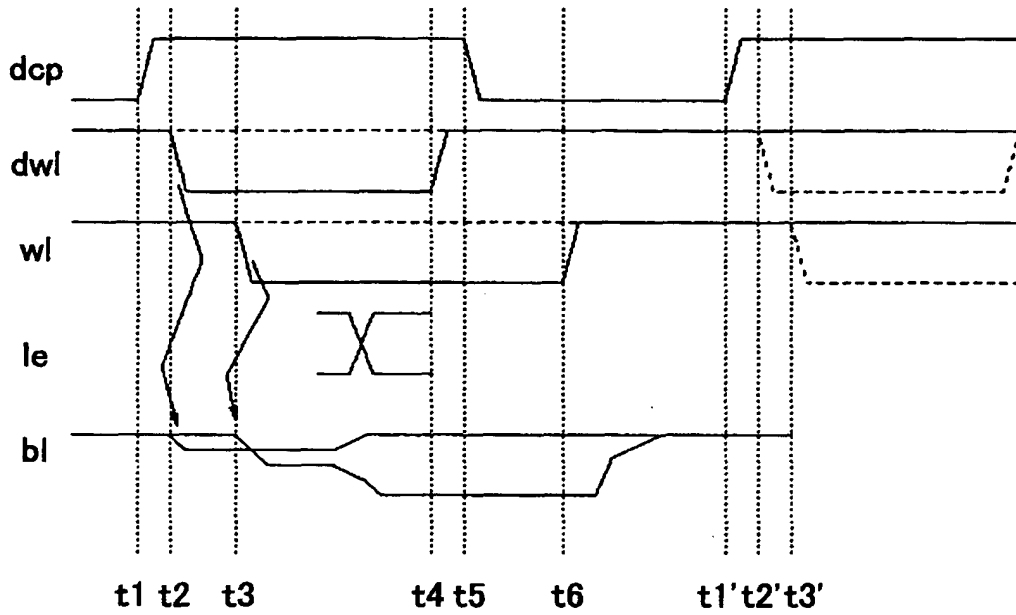
【図 1】

ダミーセル方式のメモリセル周辺の構成を示す図



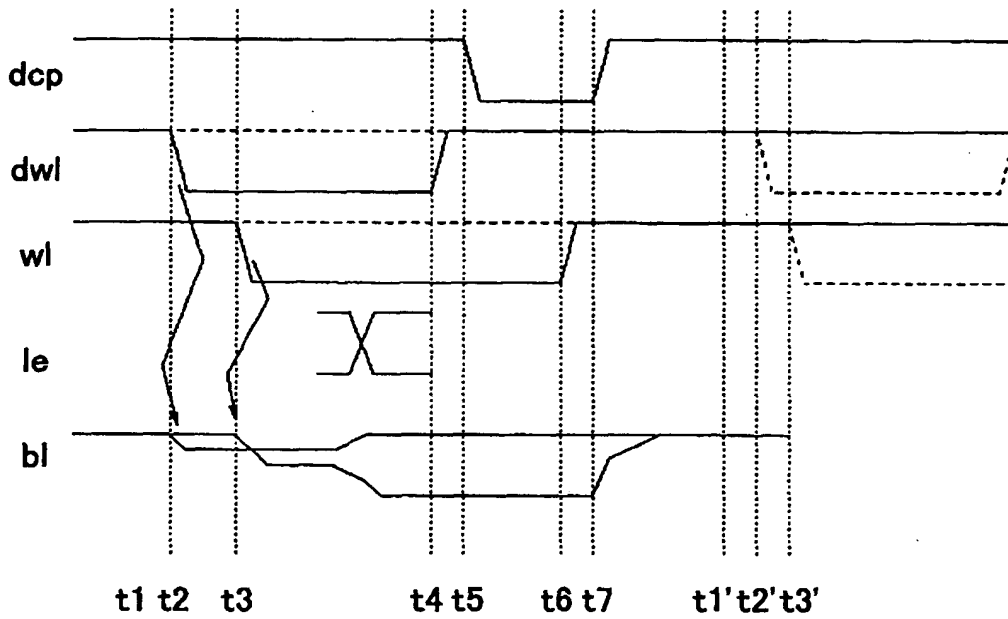
【図 2】

ダミーセル方式によるデータ読み出しを説明する図



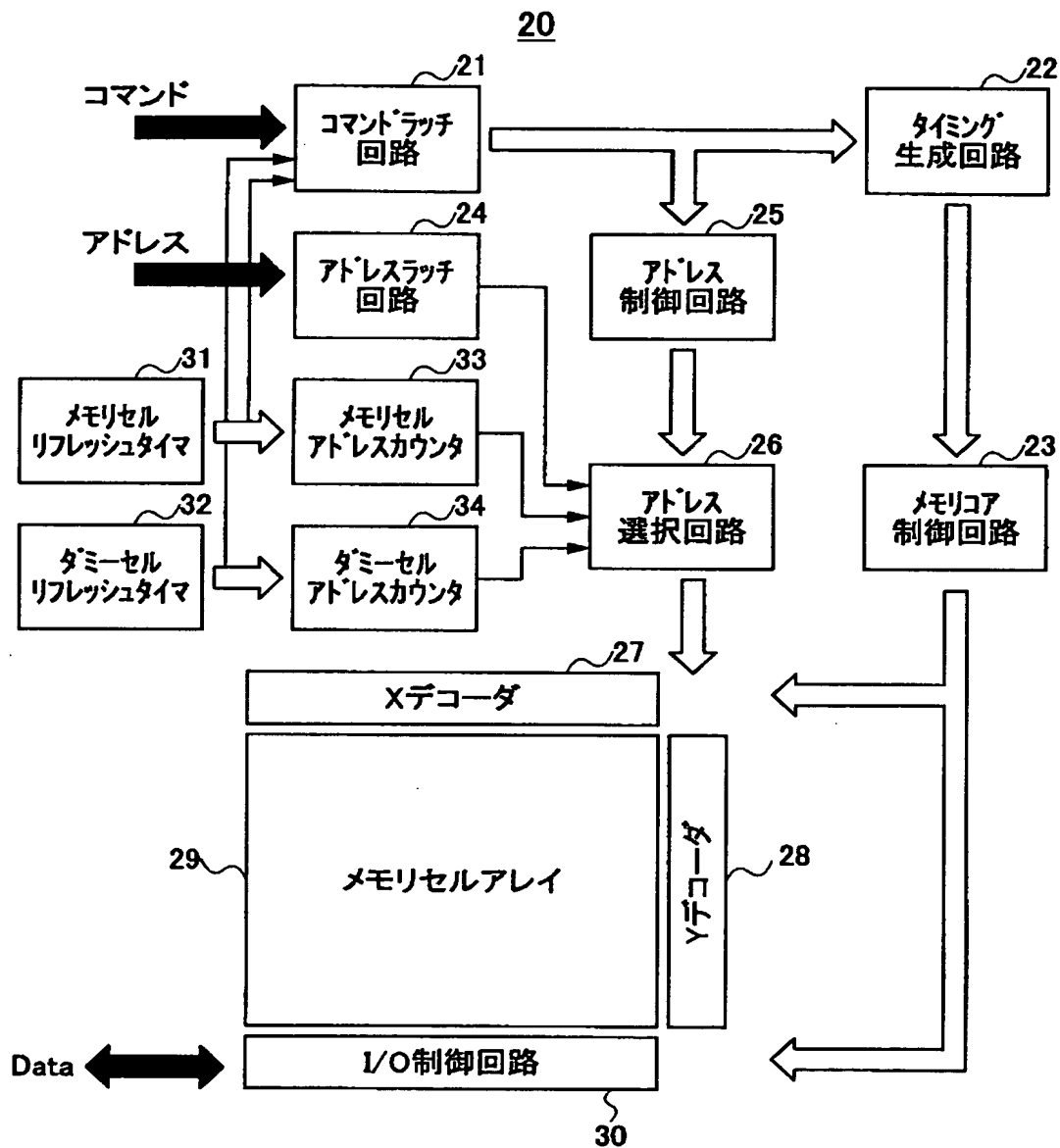
【図 3】

本発明によるダミーセルのプリチャージの原理について
説明するための図



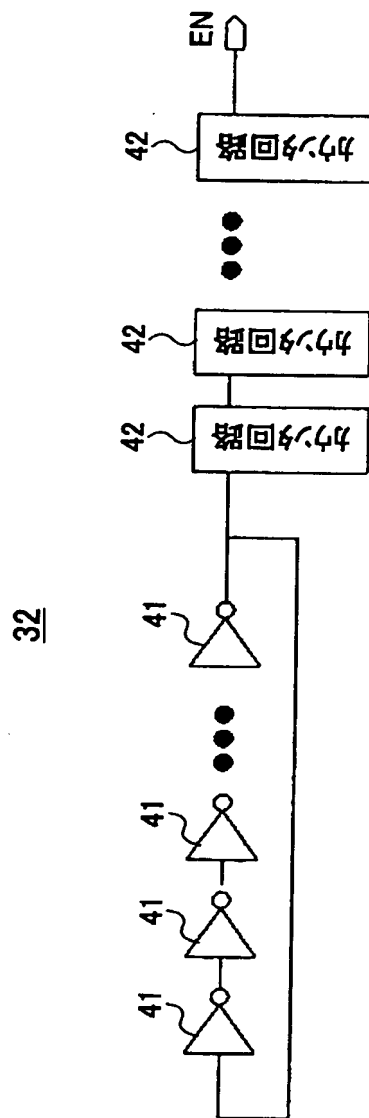
【図 4】

本発明による半導体記憶装置の第 1 の実施例を示す図



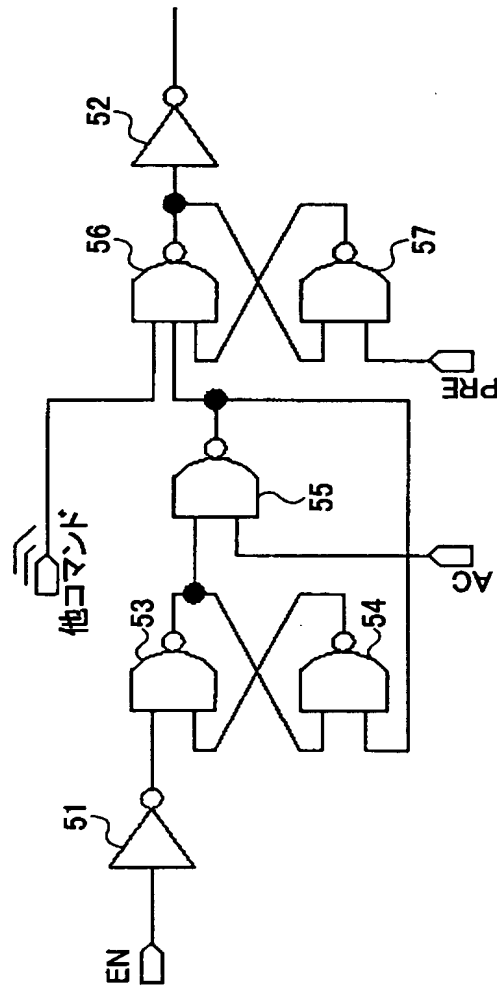
【図 5】

ダミーセルリフレッシュタイマの一般的な構成を示す図



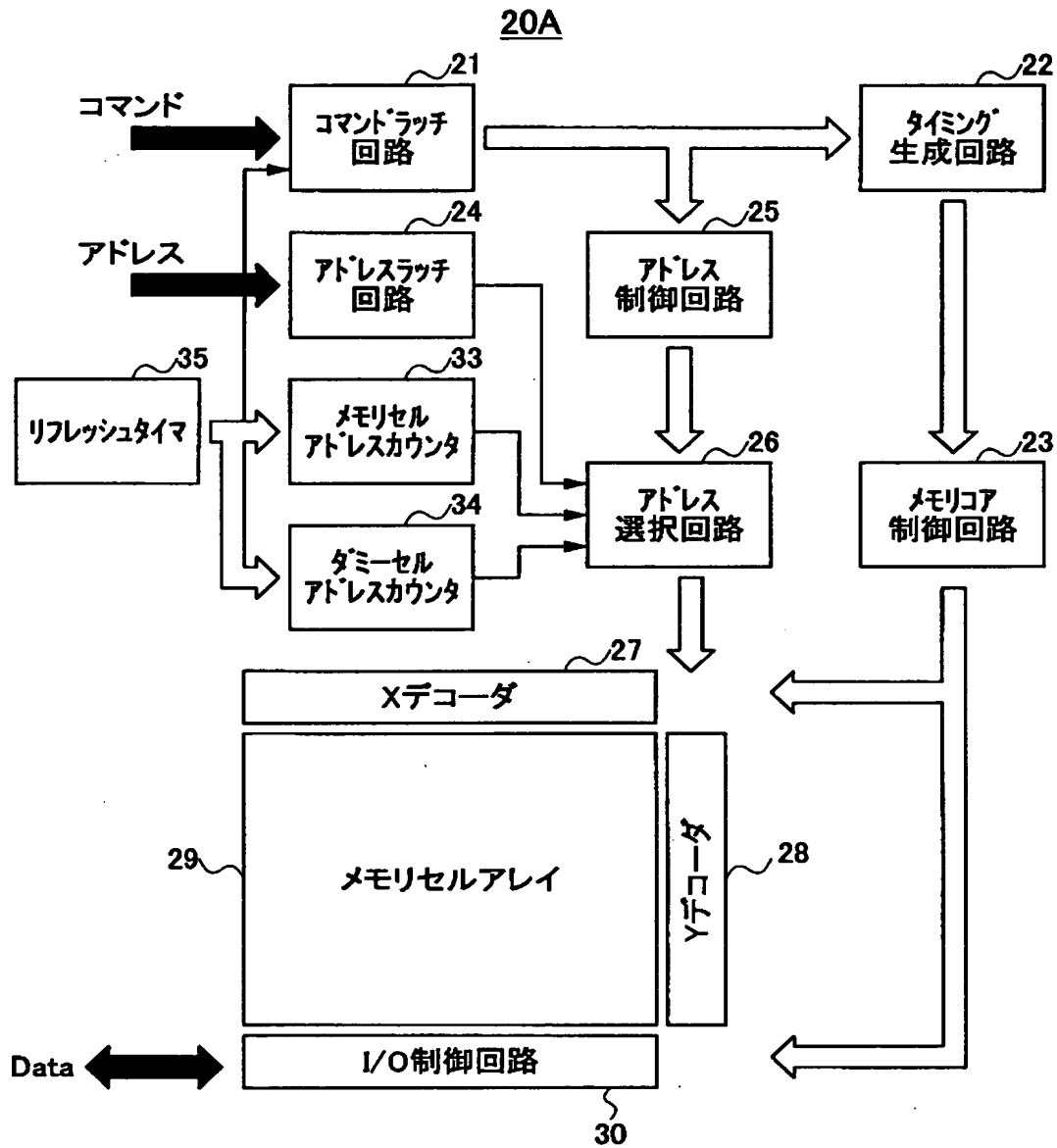
【図 6】

アクセス状態に応じて信号ENを受け付けなくする回路の一例を示す図



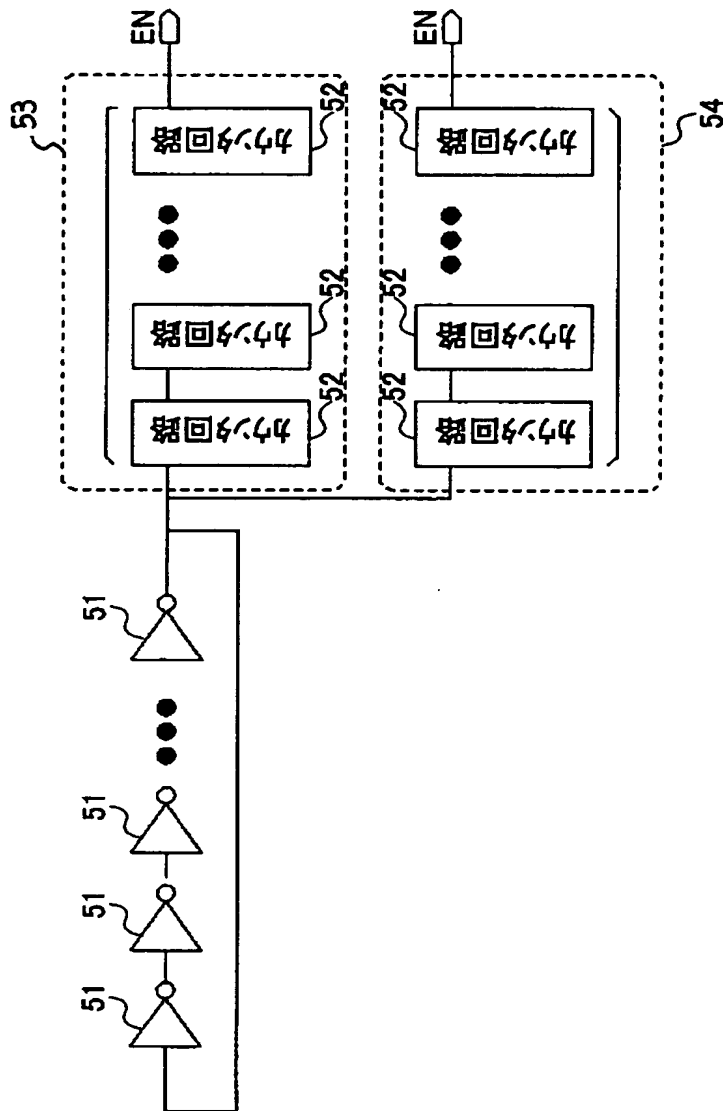
【図 7】

本発明による半導体記憶装置の第2の実施例を示す図



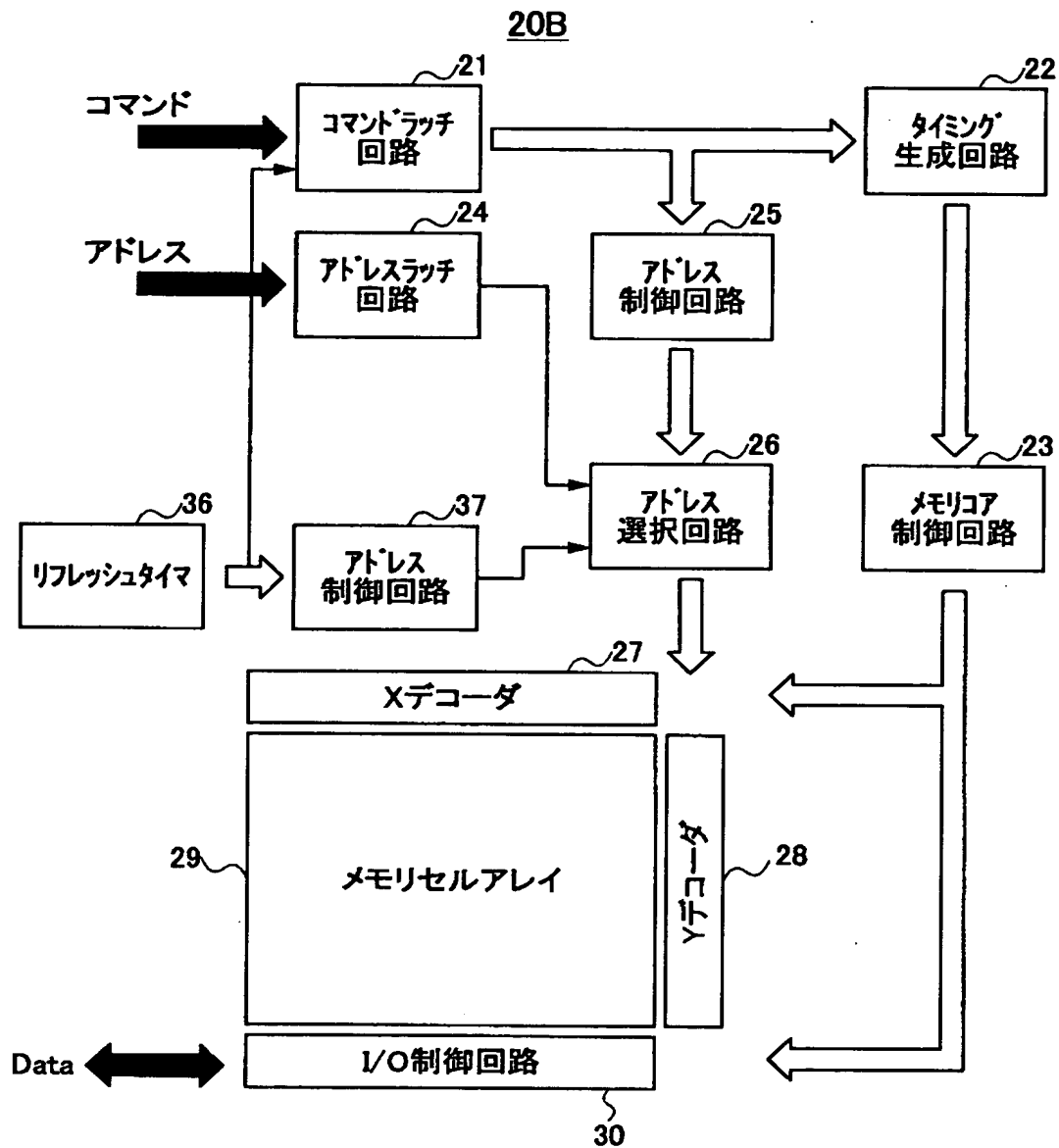
【図 8】

リフレッシュタイマの一例を示す図



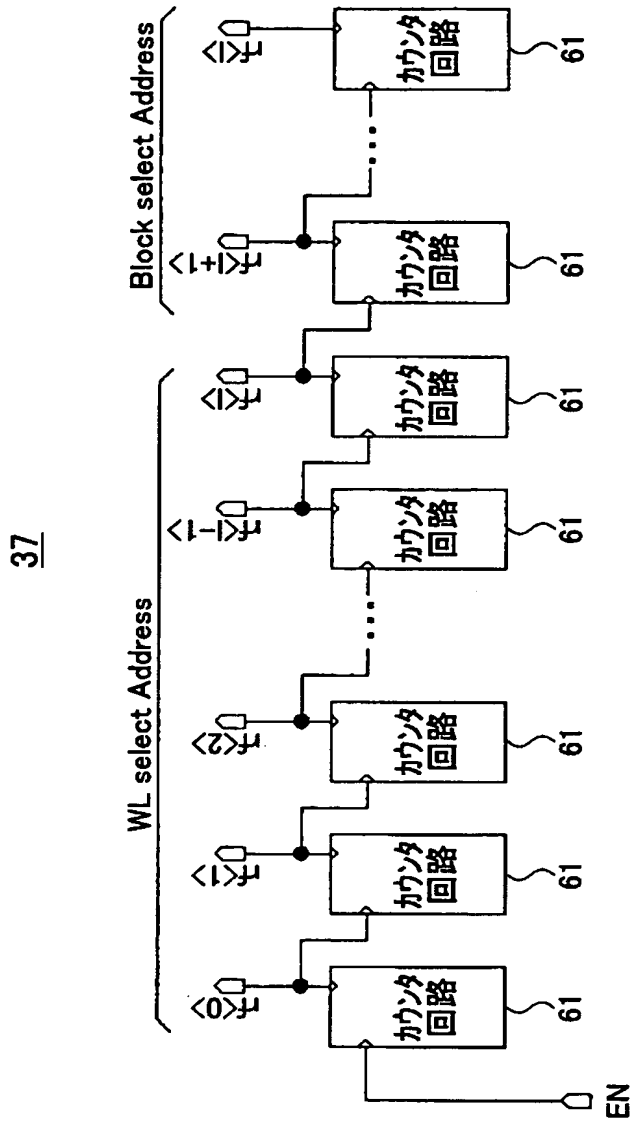
【図9】

本発明による半導体記憶装置の第3の実施例を示す図



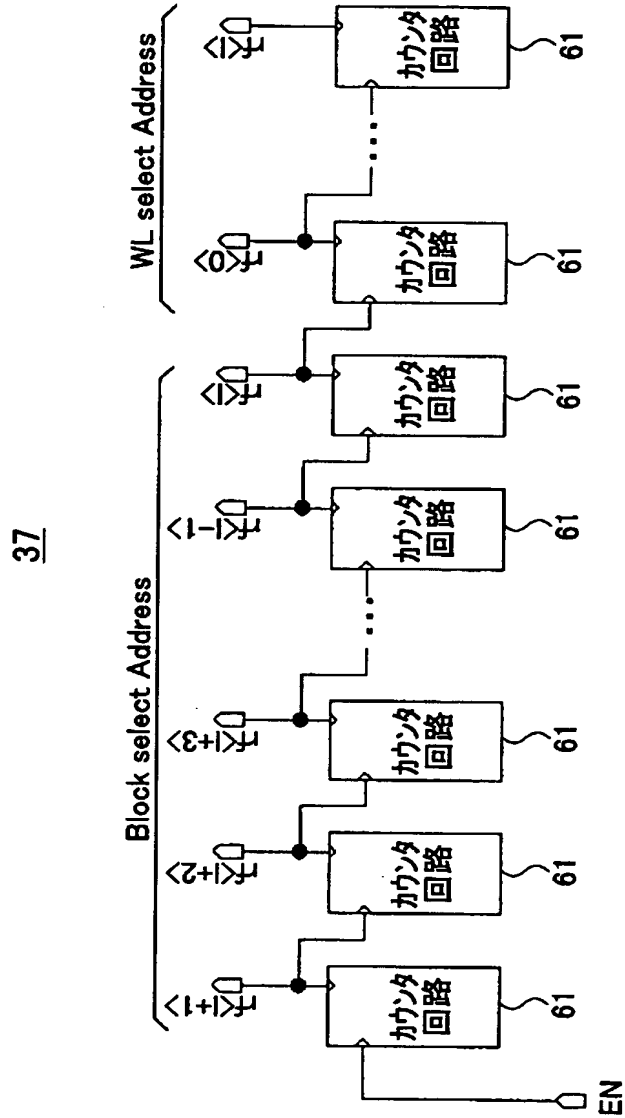
【図 1 0】

アドレスカウンタの回路構成の一例を示す図



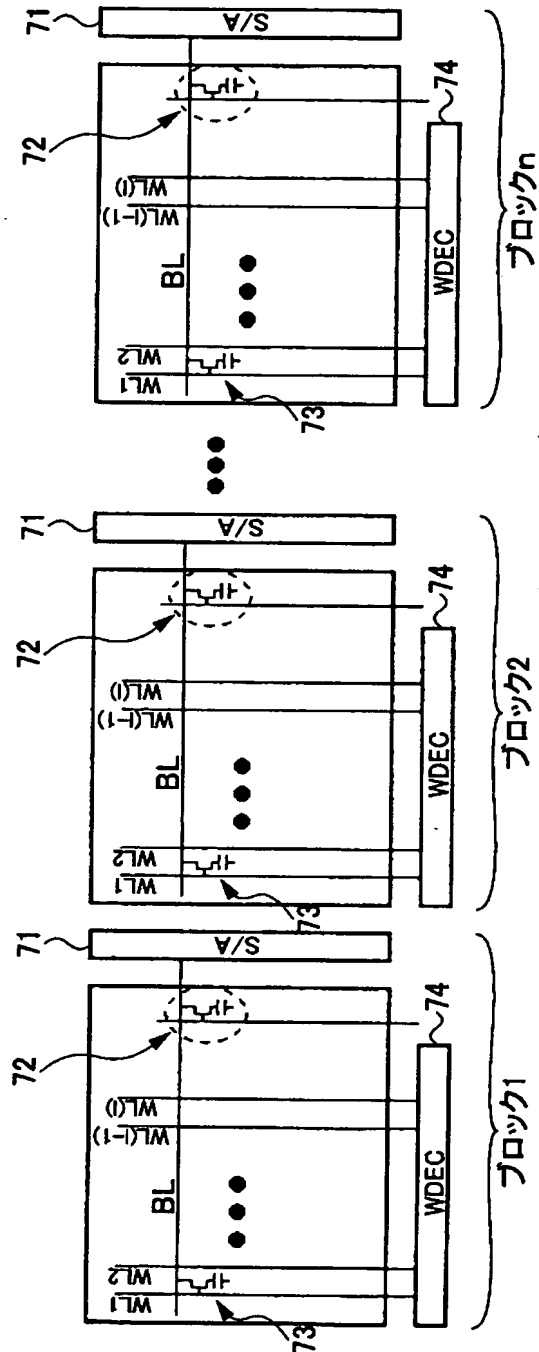
【図 1 1】

ドレスカウンタの回路構成の別の一例を示す図



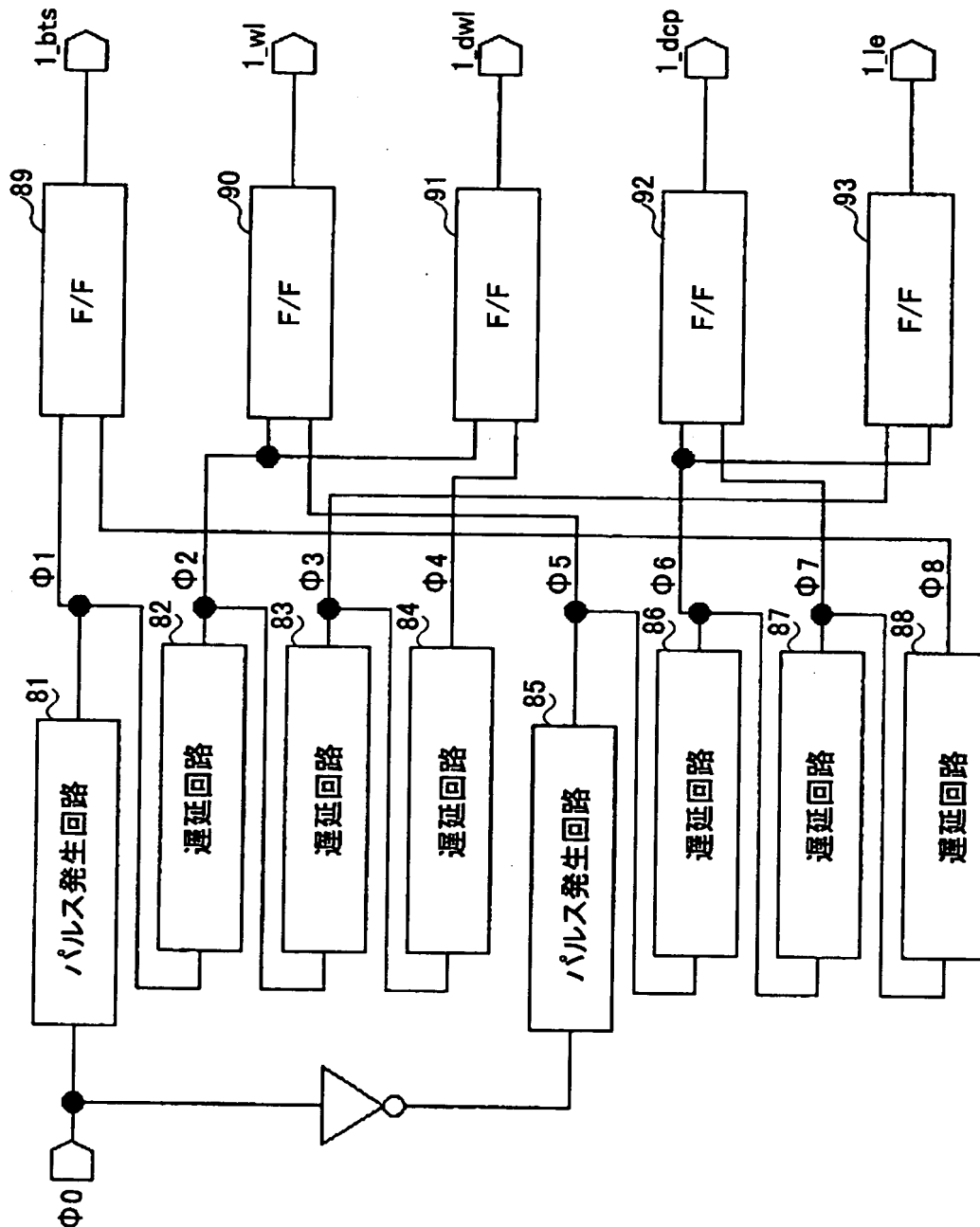
【図12】

メモリセルアレイのブロック構造を示す図



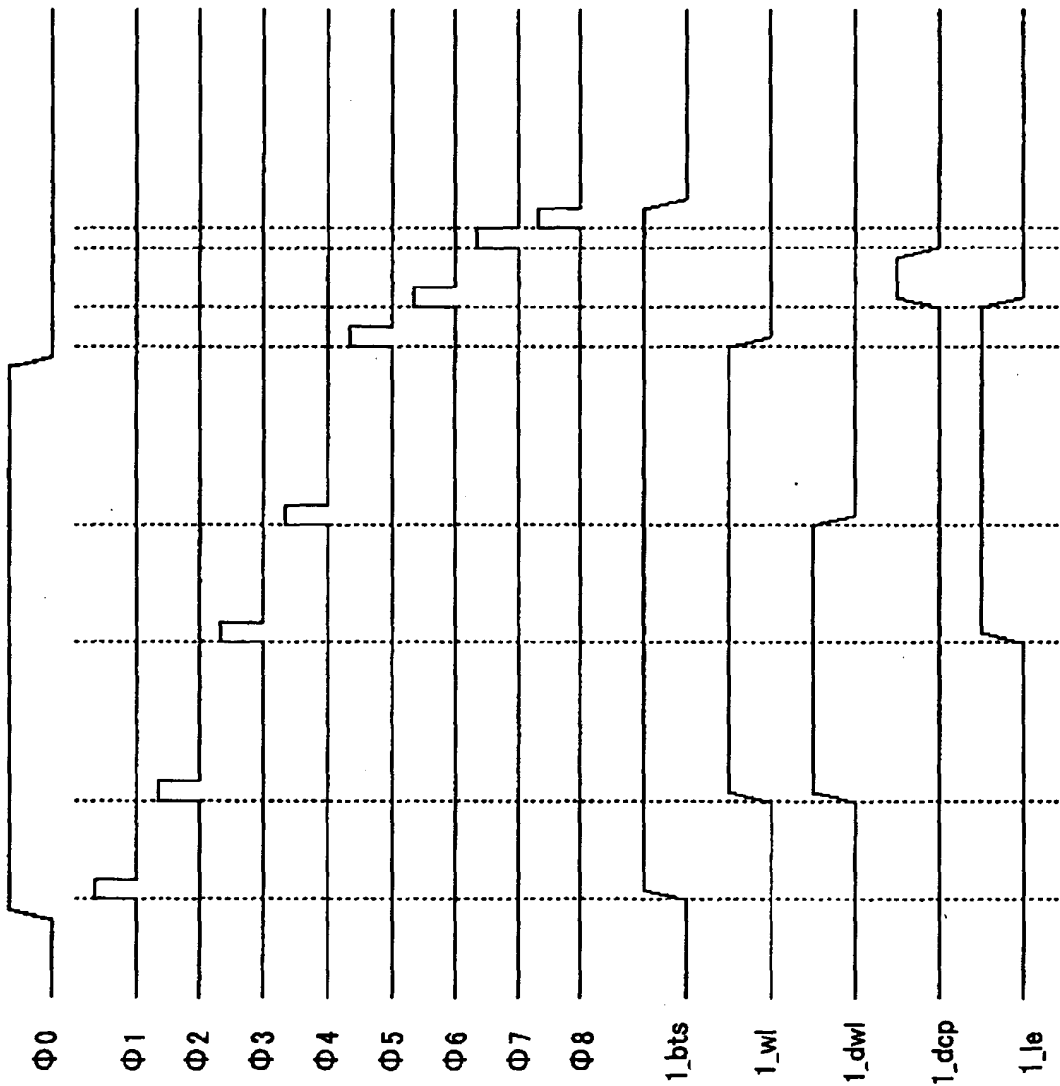
【図 13】

ワード線、ダミーワード線、ダミーセルプリチャージ線、
及びセンスアンプを制御する信号を生成する回路を示す図



【図 14】

図 13 の回路の動作を説明するための信号タイミング図



【書類名】 要約書

【要約】

【課題】本発明は、ダミーセル方式の半導体記憶装置において、アクセス間隔に関わらず安定した読み出し動作を可能とすることを目的とする。

【解決手段】半導体記憶装置は、各々が第1のビット線と第2のビット線を含む複数のビット線対と、第1のビット線に接続され容量に電荷を蓄積する複数のメモリセルと、第2のビット線に接続され所定の電位が書き込まれるダミーセルと、第1のビット線と第2のビット線間の電位差を増幅するセンスアンプと、ダミーセルに一定の期間だけ所定の電位を書き込む制御回路を含むことを特徴とする。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社